

多载波可见光系统中关键DSP算法及其 硬件实现

陈 明

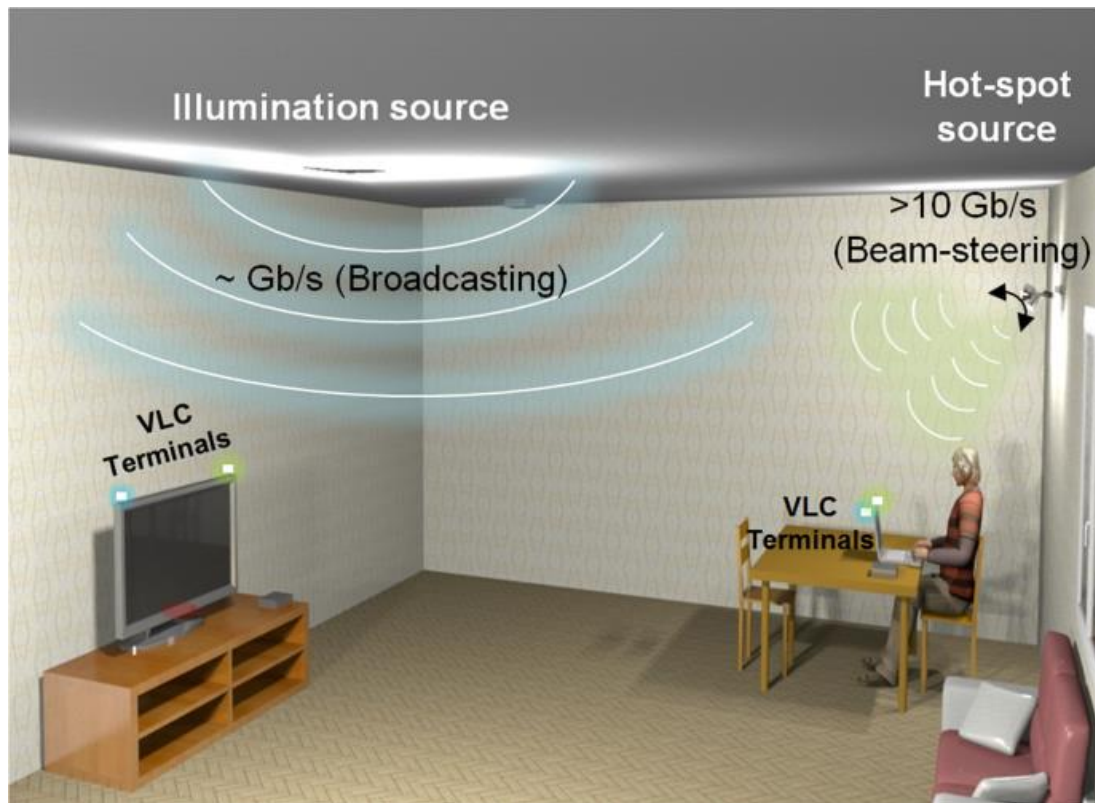
湖南师范大学 物理与电子科学学院

ming.chen@hunnu.edu.cn

2023.09.22

报告提纲

- ✓ 研究背景及意义
- ✓ 低复杂度DSP算法
- ✓ 低成本硬件系统
- ✓ 离线实验研究
- ✓ 实时原型样机研制
- ✓ 小结



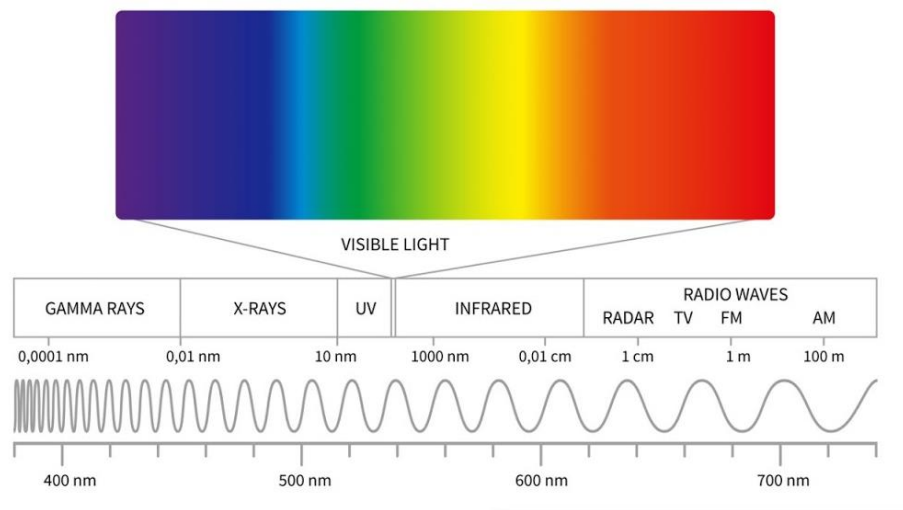
Chun, H. et al. A Wide-Area Coverage 35 Gb/s Visible Light Communications Link for Indoor Wireless Applications. Sci Rep 9, 4952 (2019).

研究背景及意义 (1)

可见光通信 (VLC) 作为射频通信技术的一种有效补充, 其具有众多优势, 主要包括:

- ✓ 免频率许可
- ✓ 传输带宽大
- ✓ 抗电磁干扰能力强
- ✓ 安全可靠

.....



VLC技术已成为第六代 (6G) 移动通信的关键候选技术之一, 且可用于众多电磁敏感应用场景诸如医院、机场、核电站、地下矿场, 以及安全保密通信、海底勘探、室内高精度定位与导航等领域。

迟楠, 牛文清, 徐增熠, 面向6G 的高速可见光通信应用展望, https://www.sohu.com/a/581557062_121406440, 2022.09.01.

F. Tariq et al., A Speculative Study on 6G, IEEE Wireless Communications, 27(4): 118-125, 2020.

研究背景及意义 (2)

- ✓ 在学术界，国内外众多高校与研究机构正在针对VLC技术积极开展包括：
信道建模、传输技术、核心器件、样机研制等方面的研究，相关理论与技术日益成熟。
- ✓ 在产业界，多国政府包括日本、欧盟、英国与美国等国力争VLC标准化工作的制高点、打造国家VLC战略性新领域先后制定/开展了相关标准/计划：
日本VLC联盟推出的JEITA1221标准、
美国的“智慧照明”计划、
欧盟的OMEGA标准

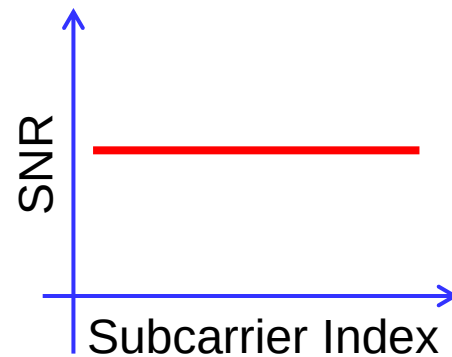
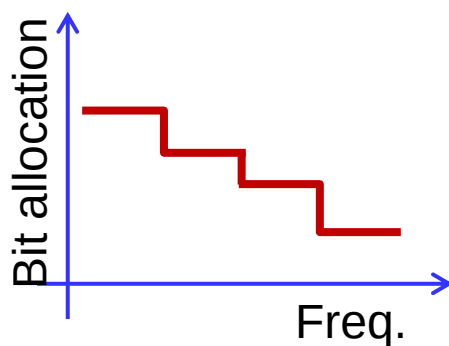
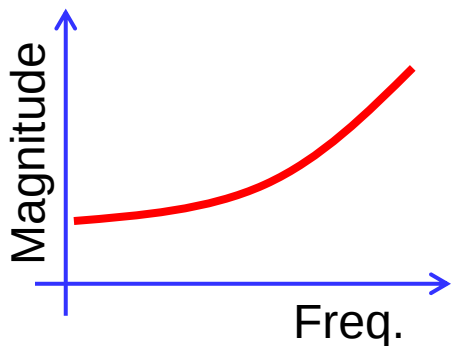
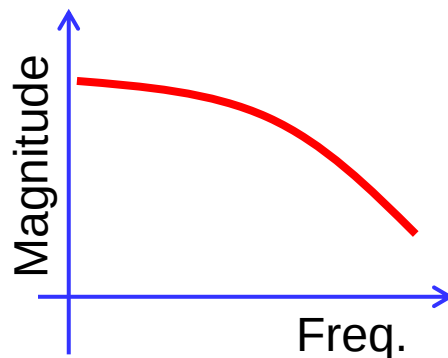
.....

近年来，我国也陆续展开了关键核心技术研发与相关标准制定。

研究背景及意义 (3)

LED调制带宽受限是制约VLC传输速率的一个主要因素，采用多载波调制(OFDM/DMT、FBMC)技术是一个可行的解决方案，结合以下方法可进一步改善VLC系统传输容量。

- ✓ 预增强/预均衡、后均衡
- ✓ 自适应调制 (比特/功率加载)
- ✓ 预编码 (OCT, DFT,...)



研究背景及意义 (4)

❖ 基于多载波调制技术的可见光通信系统中的关键DSP算法研究方法：

✓ 离线 (AWG+DSO+Matlab)

优点：算法实现与验证周期短、计算精度高（浮点） ...

缺点：忽略工作频率、时序约束、资源开销、处理时延等对算法影响

✓ 实时 (DAC+ADC+FPGA/ASIC)

缺点：算法实现与验证周期相对较长、片上资源约束计算精度(定点) ...

优点：算法可行性及可靠性可获得充分验证、系统成本与功耗可更准确的进行评估。

（其中，可编程芯片FPGA相比ASIC芯片方案具有更短的验证周期、更低的成本与风险。）

低复杂度DSP算法

在OFDM/FBMC-VLC系统中关键DSP算法主要包括:

- ✓ 符号 (帧) 定时同步
- ✓ IFFT/FFT
- ✓ 信道估计与均衡

由于FPGA工作频率通常在500MHz以内，串行数据的处理能力有限，因此在高速VLC系统中，算法须采用**多路并行结构+流水线技术**予以实现，以牺牲更多片上资源为代价来增加数据处理能力。

以上关键DSP算法涉及大量的乘法或者除法运算，为降低芯片成本与功耗，研究面向硬件实现的低复杂度DSP算法至关重要。

低复杂度DSP算法 – 符号（帧）定时同步

基于训练序列（TS）互相关性的定时同步算法具尖锐的定时度量 $M(d)$ 曲线，可提供准确的同步位置 d_s

$$M(d) = \sum_{n=0}^{N_s-1} t(n) \cdot r(n+d)$$

$$d_s = \arg \{ \max(d) \}$$

以上计算定时度量需要 N_s 次乘法运算+ N_s-1 次加法运算，同步位置通过搜索最大值方法确定。

低复杂度 $M(d)$ 计算及同步位置确定方法：

$$M_{pro1}(d) = 2 \sum_{n=0}^{N_s-1} \text{sign}[t(n)] \odot \text{sign}[r(n+d)] - N_s$$

$$d_{s1} = \arg \{ M_{pro1}(d) > Th \}$$

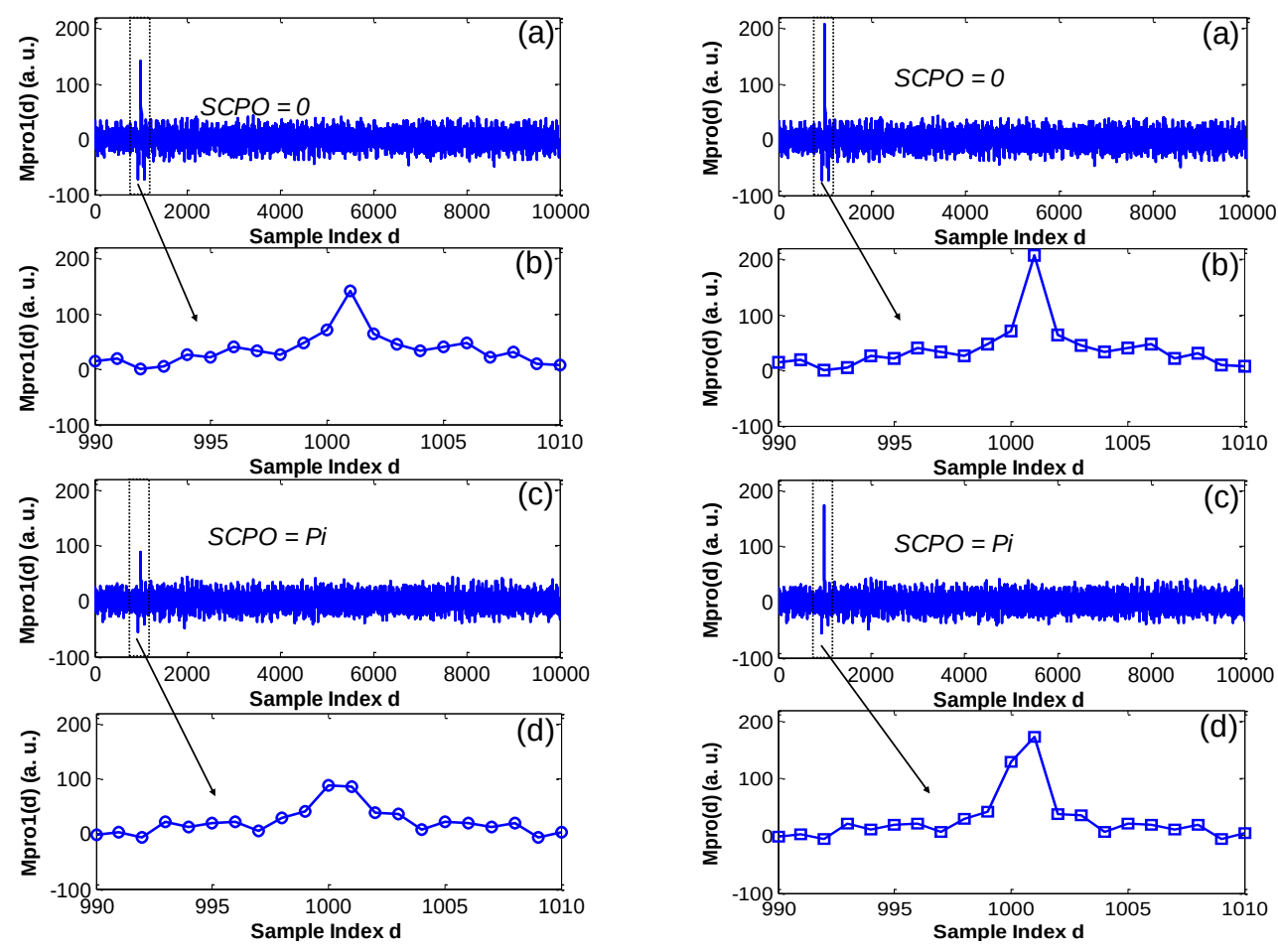
低复杂度DSP算法 – 符号（帧）定时同步

为了抵抗采样时钟相位偏差（SCPO）的影响，对简化定时度量进行了改进

$$M_{pro}(d) = \begin{cases} M_{pro1}(d) + M_{pro1}(d-1), & M_{pro1}(d) > V \\ M_{pro1}(d) & , M_{pro1}(d) \leq V \end{cases}$$

通过简化定时度量的计算，实现同步仅需要使用逻辑运算、低精度加法运算，而同步位置的确定则是通过门限比较方法，在一定程度上也降低了同步时延。

低复杂度DSP算法 – 符号（帧）定时同步



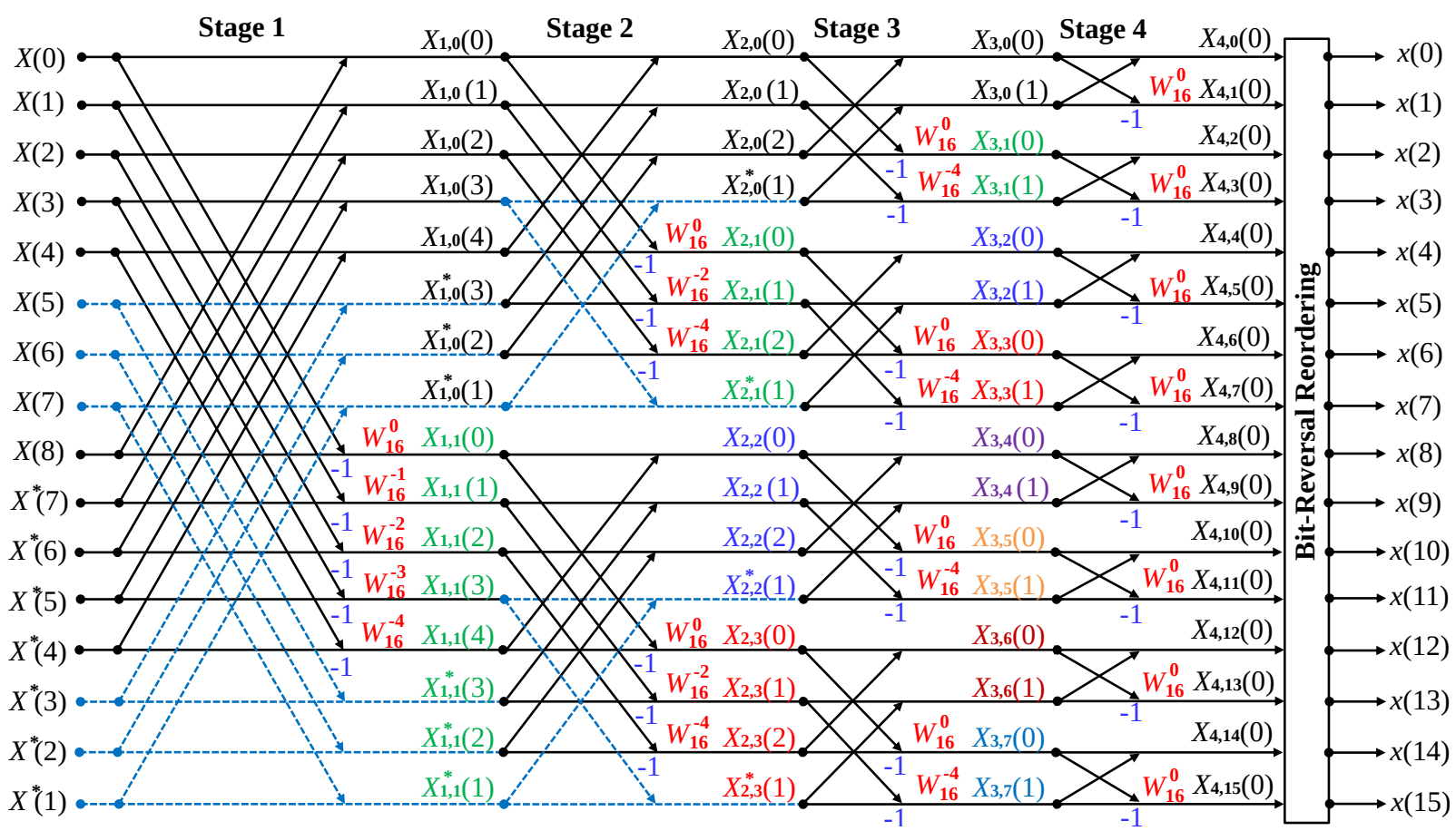
M. Chen et al., Experimental Demonstration of Real-Time High-Level QAM-Encoded Direct-Detection Optical OFDM Systems." Journal of Lightwave Technology **33**(22): 4632-4639, 2015.

低复杂度DSP算法 – HS-IFFT

为产生实数OFDM/FBMC信号，通常需要对映射的M个QAM符号进行**HS约束**，使得N点IFFT输出实数信号，以实现VLC系统中电光转换。该约束导致IFFT输入数据存在冗余，可将HS与IFFT合二为一，以降低IFFT算法的硬件实现复杂度。

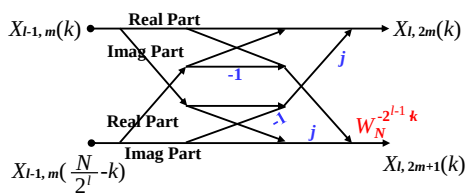
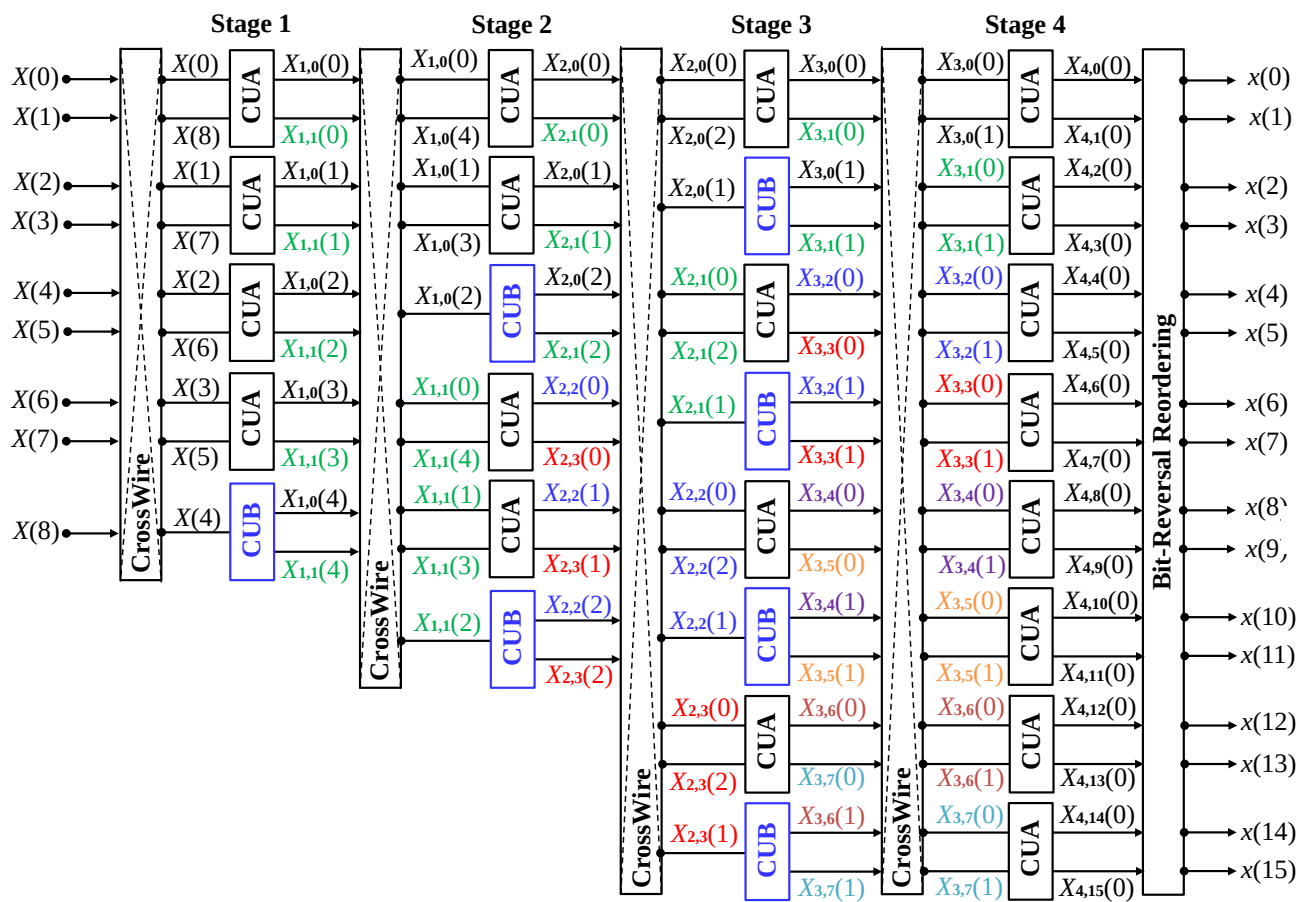


低复杂度DSP算法 – HS-IFFT

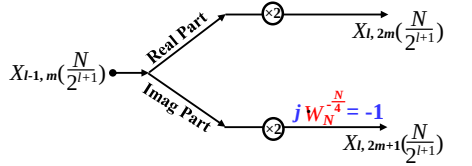


M. Chen et al., "Hardware-efficient implementation and experimental demonstration of Hermitian-symmetric IFFT for optical DMT transmitter." Optics Express **27**(21): 29817-29828, 2019.

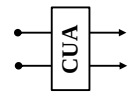
低复杂度DSP算法 – HS-IFFT



(a) Computing Unit A (CUA)



(b) Computing Unit B (CUB)

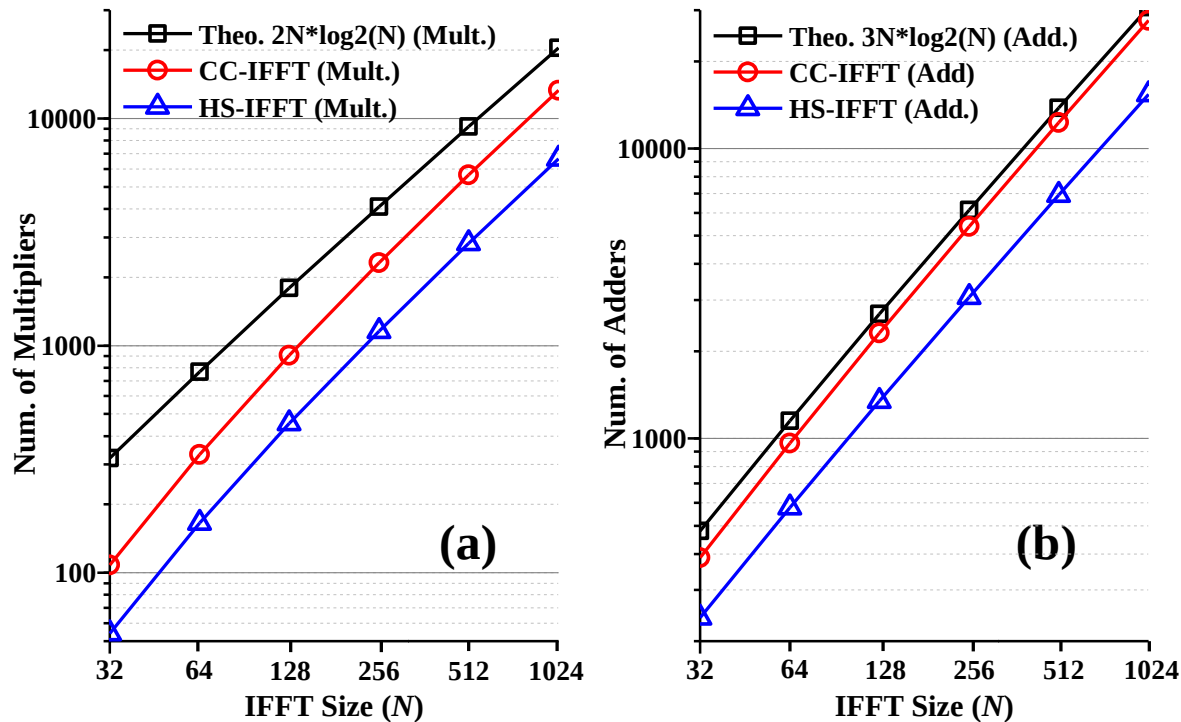


(c) CUA symbol



(d) CUB symbol

低复杂度DSP算法 – HS-IFFT



相比传统的基于2复数IFFT(CC-IFFT)算法, HS-IFFT算法可以降低近50%实数乘法与加法运算量。

M. Chen et al., "Hardware-efficient implementation and experimental demonstration of Hermitian-symmetric IFFT for optical DMT transmitter." Optics Express **27**(21): 29817-29828, 2019.

Spiral DFT/FFT IP Core Generator, <https://www.spiral.net/hardware/dftgen.html>

低复杂度DSP算法 – HS-IFFT

Table 1. FPGA Chip Resource Usage of the **HS-IFFT** based DMT transmitter

Module Name	Slices	Slice Registers	Slices LUTs	RAMB18/36E1	DSP48E1
PRBS ROM&1 st FIFO	86	320	172	8	0
Mapper	111	452	227	0	0
HS-IFFT	9,790	33,665	24,488	0	454
<u>Clip&Scale</u>	2,036	0	5,751	0	0
CP&2 nd FIFO	317	1,196	641	66	0
DAC Interface	152	387	192	0	0
Control FSM	8	19	20	0	0
Total Used	12,501	36,039	31,492	74	454

HS-IFFT vs. CC-IFFT
节省
49% registers
43% LUTs
35% multipliers

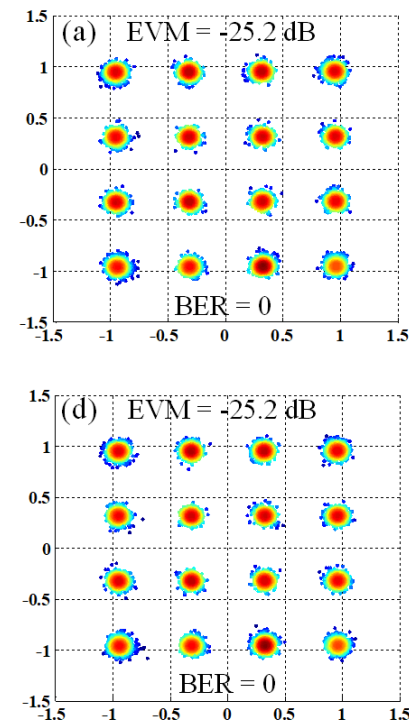
Table 2. FPGA Chip Resource Usage of the **CC-IFFT** based DMT transmitter

Module Name	Slices	Slice Registers	Slices LUTs	RAMB18/36E1	DSP48E1
PRBS ROM&1 st FIFO	90	320	172	8	0
Mapper	115	452	227	0	0
HS	240	0	960	0	0
CC-IFFT	16,323	66,416	42,373	0	700
<u>Clip&Scale</u>	3,468	0	6,421	0	0
CP&2 nd FIFO	320	1,196	654	66	0
DAC Interface	152	387	192	0	0
Control FSM	9	19	20	0	0
Total Used	20,718	68,790	51,020	74	700

M. Chen et al., "Hardware-efficient implementation and experimental demonstration of Hermitian-symmetric IFFT for optical DMT transmitter." Optics Express **27**(21): 29817-29828, 2019.

低复杂度DSP算法 – HS-IFFT

On-Chip	Estimated Power Consumption (W)	
	HS-IFFT-DMT Transmitter	CC-IFFT-DMT Transmitter
Clocks	0.250	0.490
Logic	0.073	0.267
Signals	0.140	0.498
DSPs	0.118	0.211
BRAMs	0.098	0.184
MMCMs	0.240	0.240
IOs	0.972	0.972
Leakage	0.222	0.230
Total	2.112	3.092



HS-IFFT vs. CC-IFFT 芯片功耗降低32%，电背靠背性能基本一致。

低复杂度DSP算法 – 信道估计与均衡

当基于TS的符号定时同步完成后，该TS还将完成信道估计任务，以降低系统开销，基于最小二乘法（LS）**信道估计**如下：

$$H(k) = \frac{TS_{rv}(k)}{TS_{local}(k)} = \text{sgn}[TS_{local}(k)] \cdot TS_{rv}(k)$$

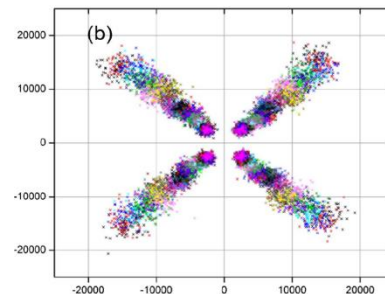
其中本地训练序列的频域数据 $TS_{local}(k) = \{\pm 1\}$ ，因此信道估计可简化为对接收训练序列频域数据是否取反操作。

信道均衡：

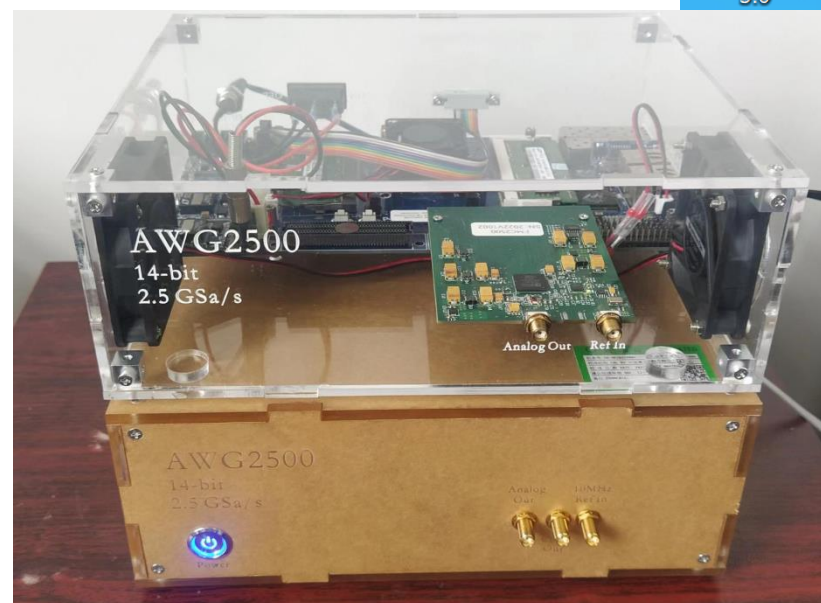
$$R_c(k) = \frac{R(k)}{H(k)} = \frac{R(k)H^*(k)}{|H(k)|^2} = \frac{\text{sgn}[TS_{local}(k)] \cdot R(k) \cdot TS_{rv}^*(k)}{|TS_{rv}(k)|^2}$$

仅完成相位均衡，避免除法运算

用于调整QAM解映射门限



低成本硬件系统 – DAC模块、AWG



主要性能指标：14-bit、2.5GSa/s、输出带宽大于1GHz、支持NRZ与RF工作模式
用途：多载波信号的离线/实时产生

低成本硬件系统 – ADC模块



主要性能指标：8-bit、双通道2.5GSa/s、单通道5GSa/s、输入带宽大于2GHz

用途：多载波信号的离线/实时采集

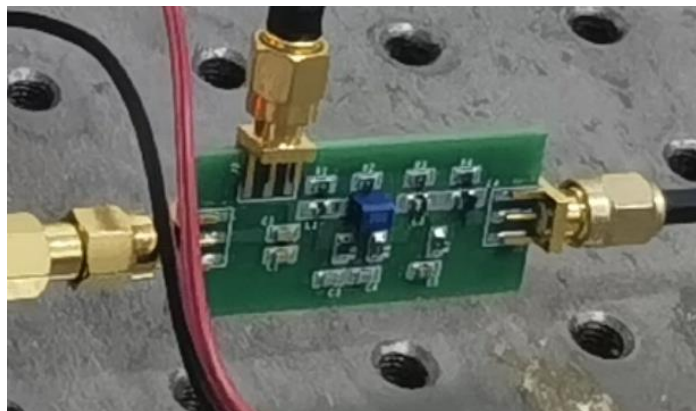
低成本硬件系统 – FPGA载板



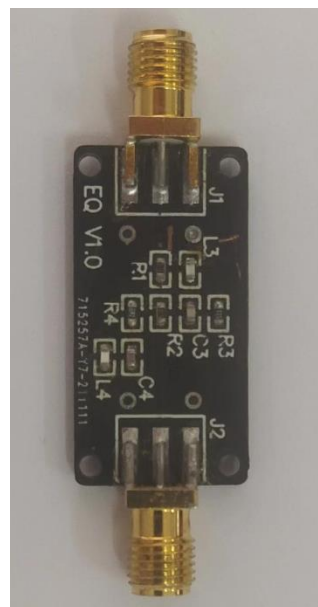
主要性能指标：XC7K325t-2ffg676I FPGA、2个FMC-HPC（可扩展DAC/ADC模块）、
1000M以太网口、512MByte DDR3@1600MHz、10Gbit/s MGT 4对

用途：DSP算法验证

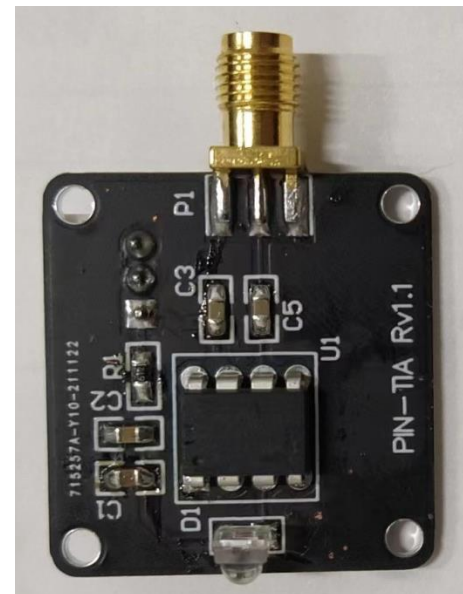
低成本硬件系统 – Bias-Tee、Pre-equalizer PIN-TIA



3-dB 2GHz Bias-Tee

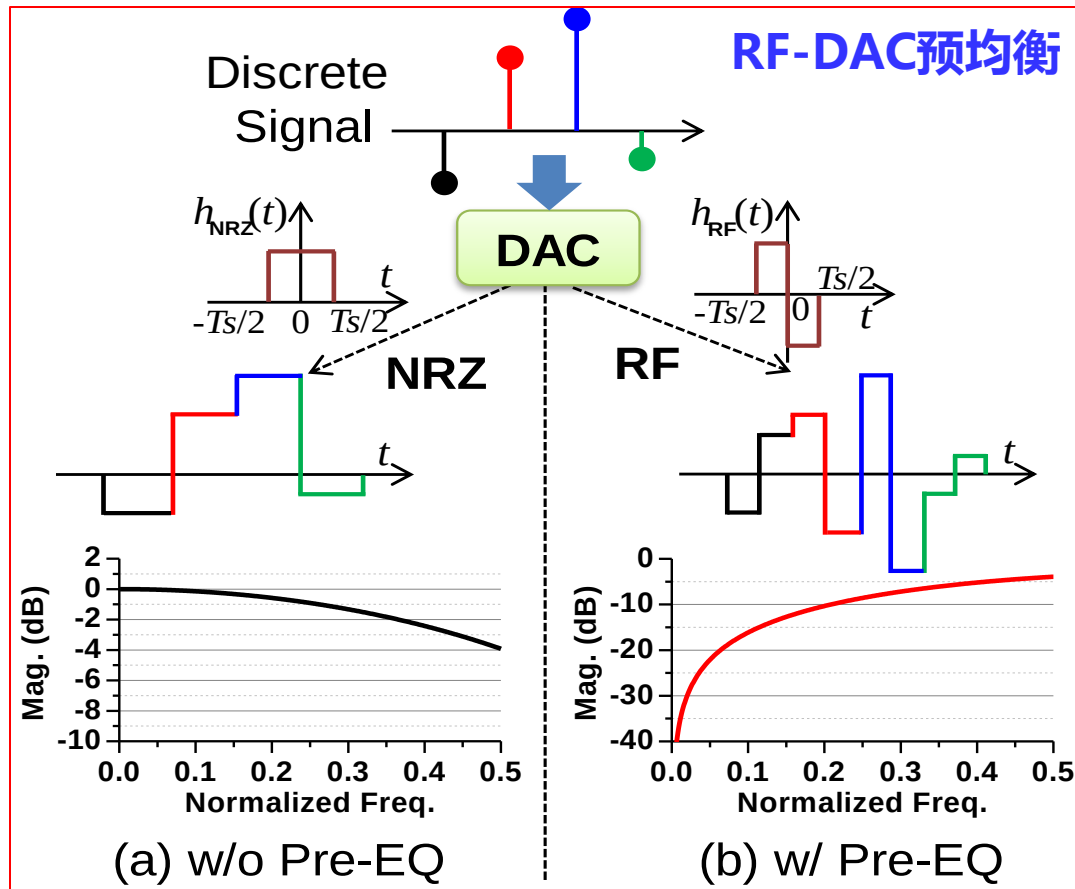


**Amplitude
Pre-equalizer**



500MHz PIN-TIA

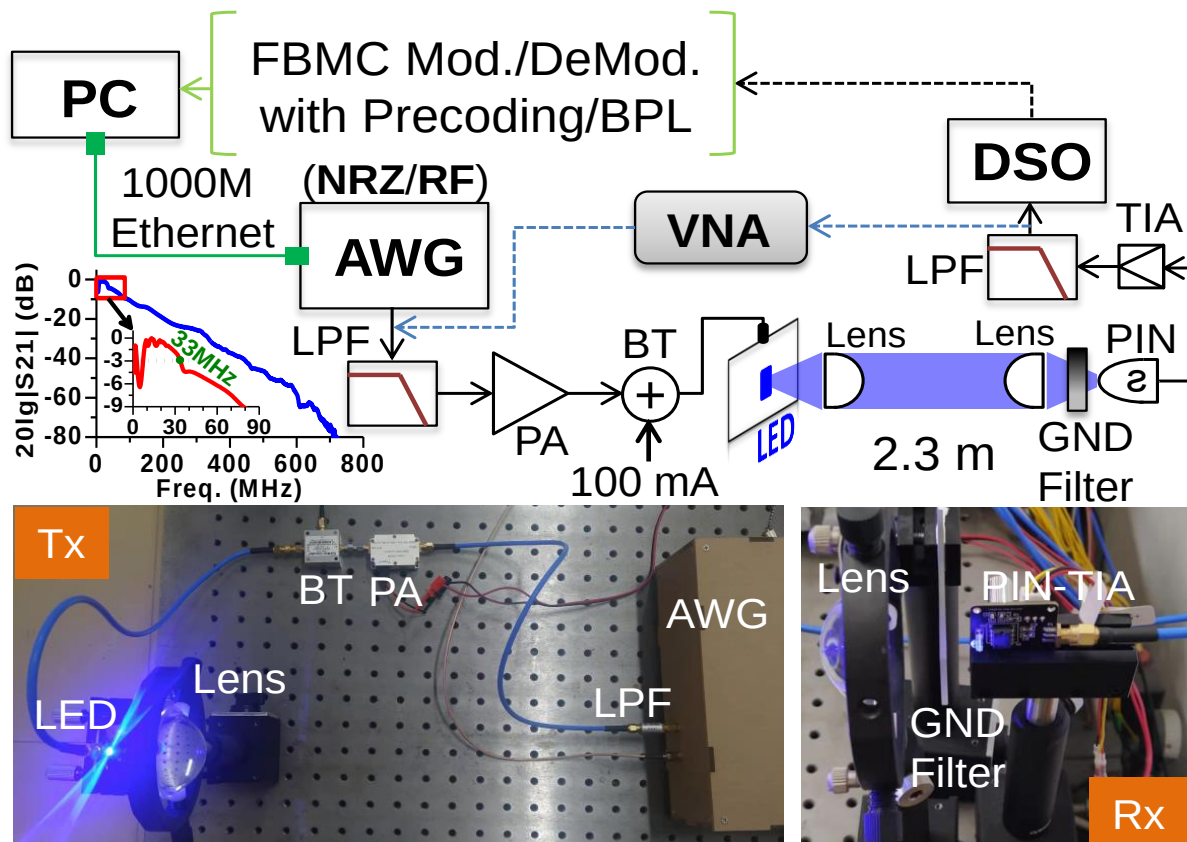
离线实验研究 – RF-DAC预均衡+预编码



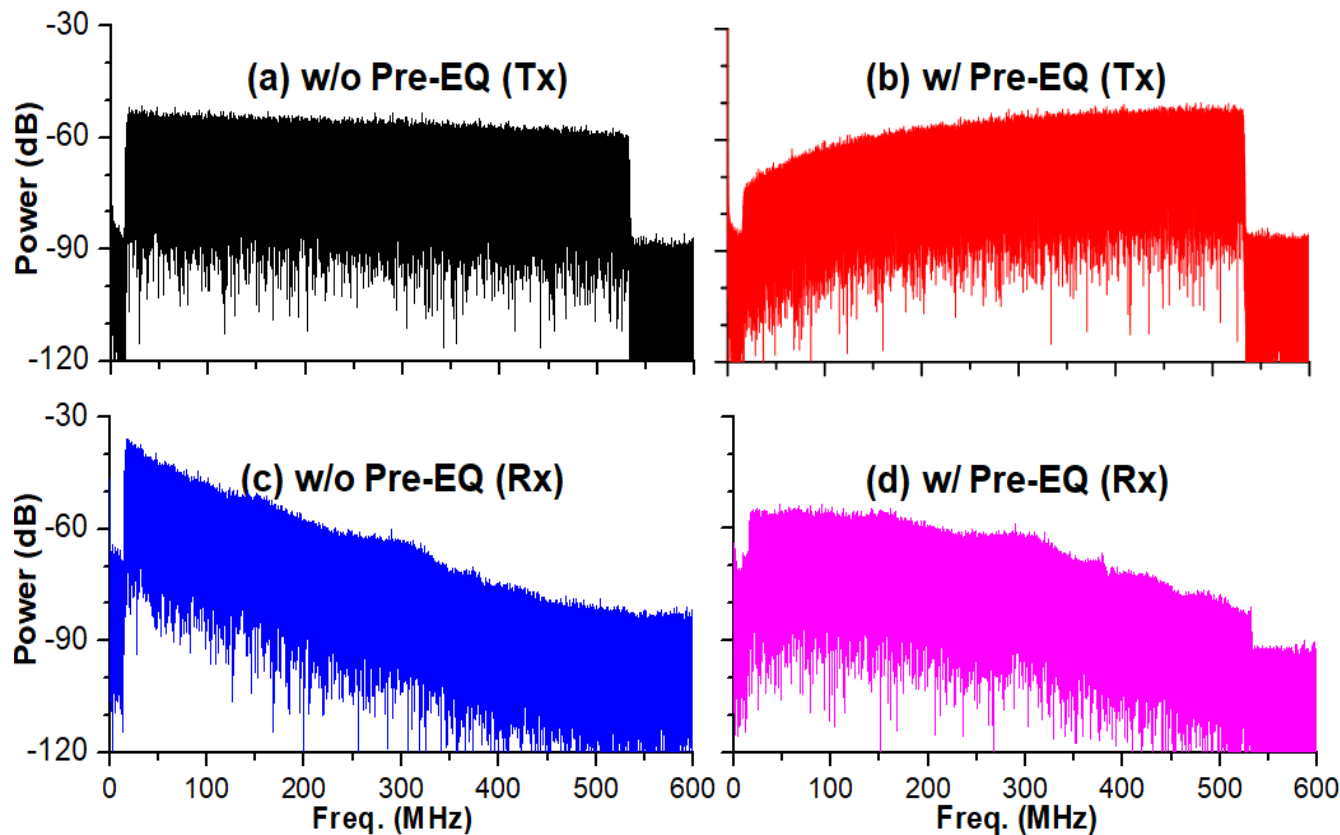
预编码

$$y^T = P x^T = \frac{1}{\sqrt{M}} \begin{bmatrix} p_{1,1} & p_{1,2} & \cdots & p_{1,M} \\ p_{2,1} & p_{2,2} & \cdots & p_{2,M} \\ \vdots & \vdots & & \vdots \\ p_{M,1} & p_{M,2} & \cdots & p_{M,M} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \\ \vdots \\ x_M \end{bmatrix}$$

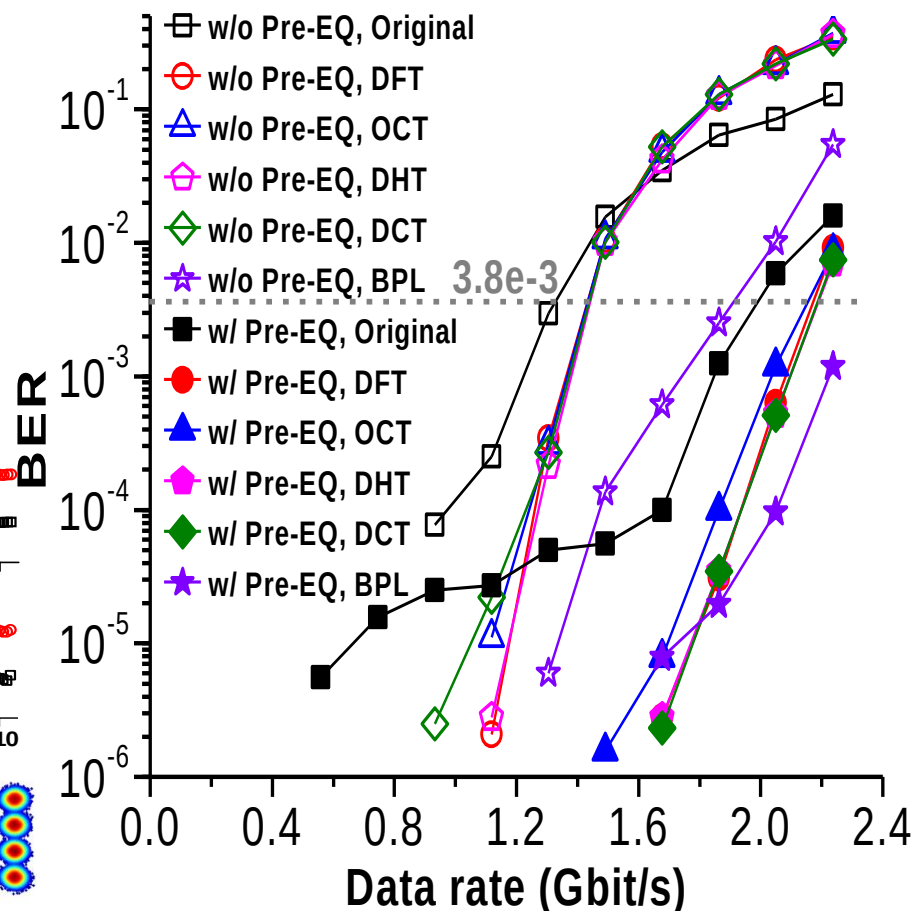
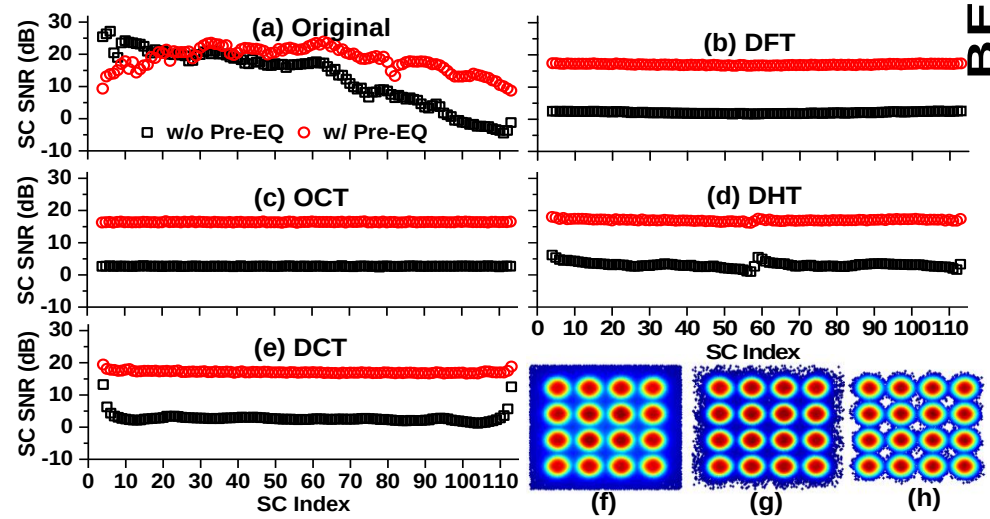
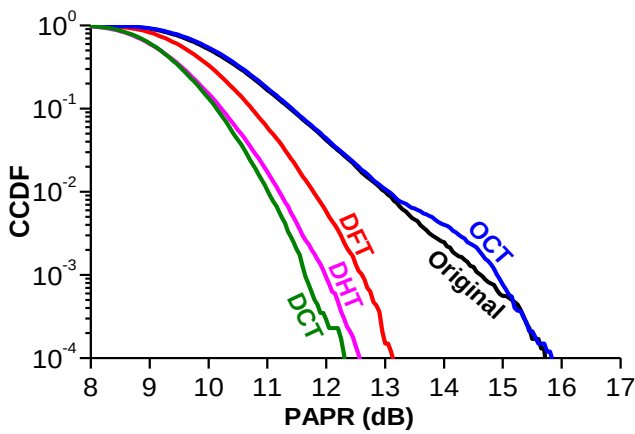
离线实验研究 – RF-DAC预均衡+预编码



离线实验研究 – RF-DAC预均衡+预编码

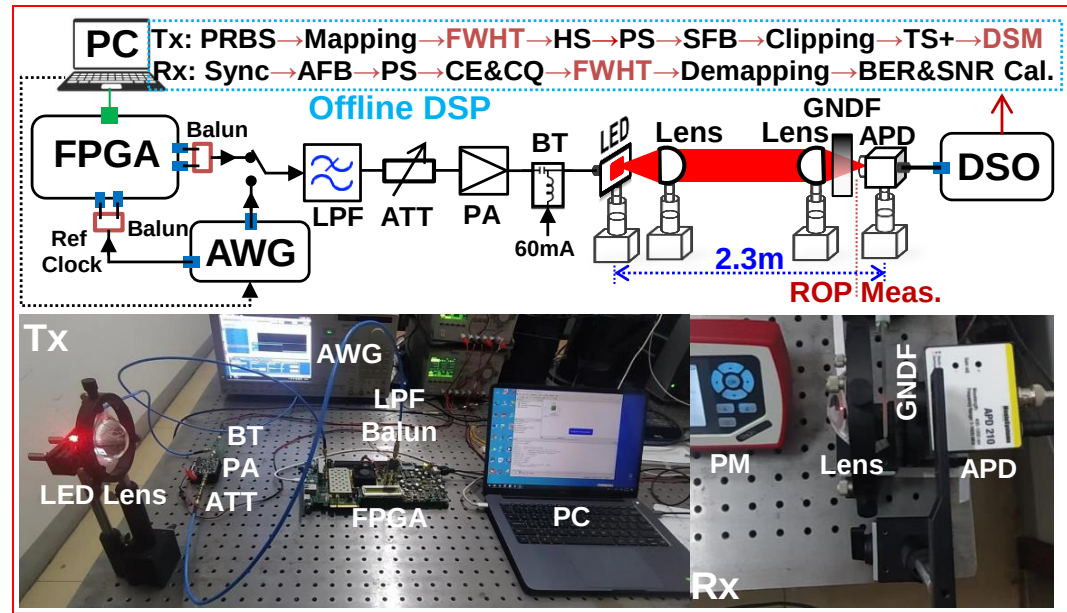
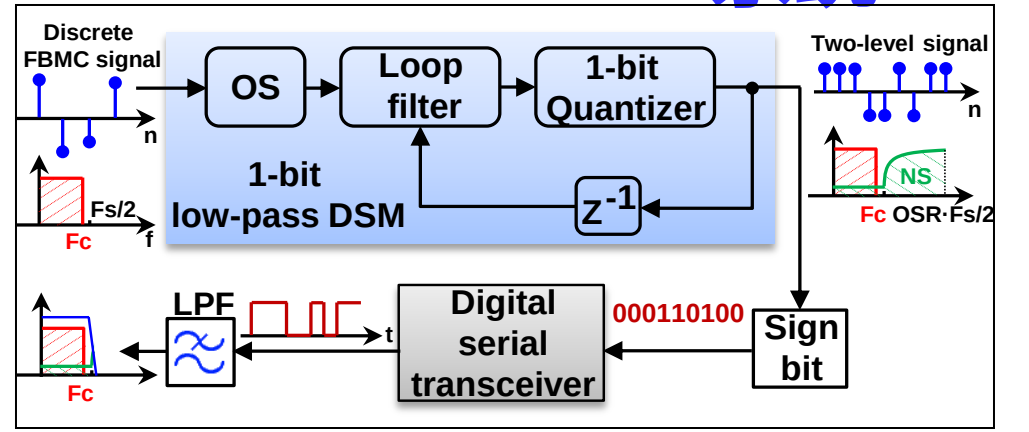
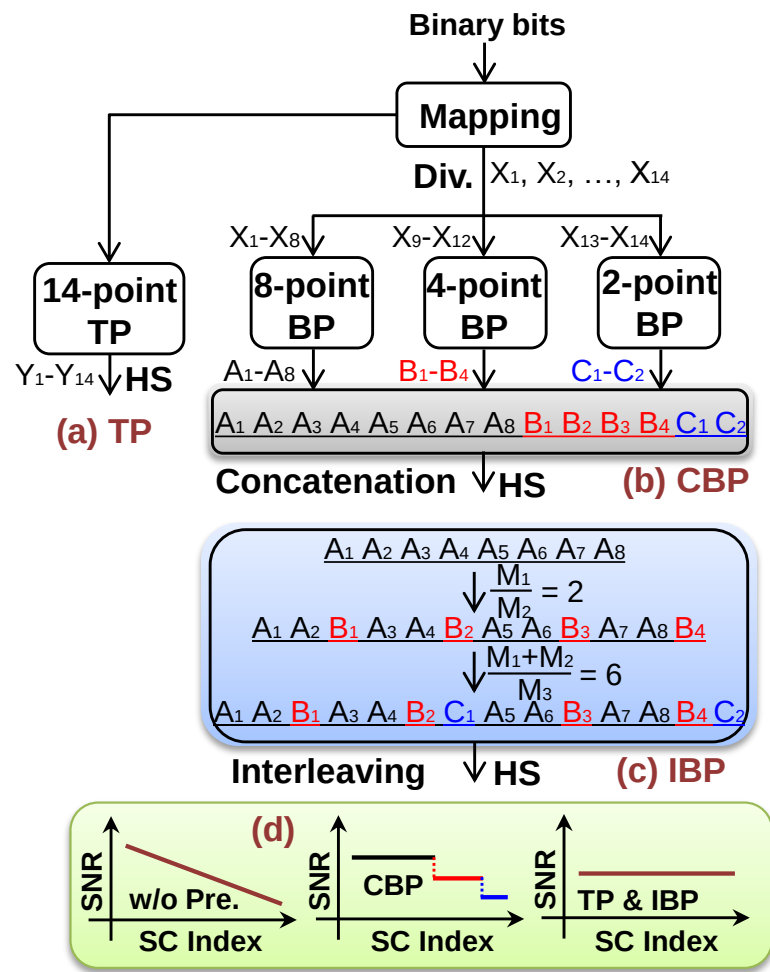


离线实验研究 – RF-DAC预均衡+预编码

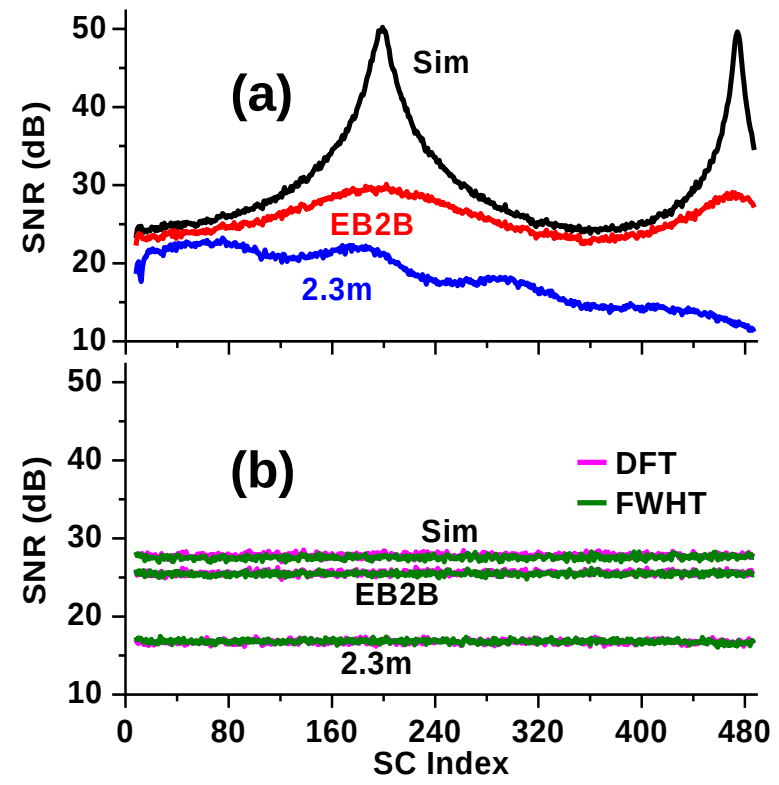
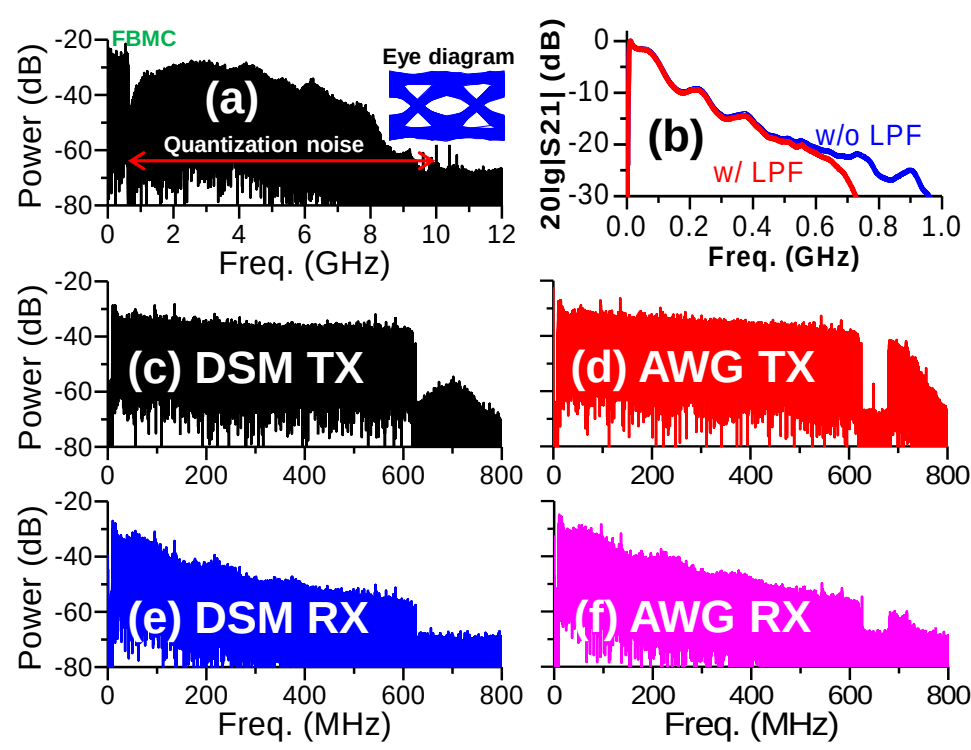


M. Chen, Y. Cai, J. Zhou, H. Zhou, Y. Liu and Q. Chen, "Bandwidth enhancement with DAC-enabled pre-equalization and real-valued precoding for a FBMC-VLC." Optics Letters 47(18): 4826-4829, 2022.

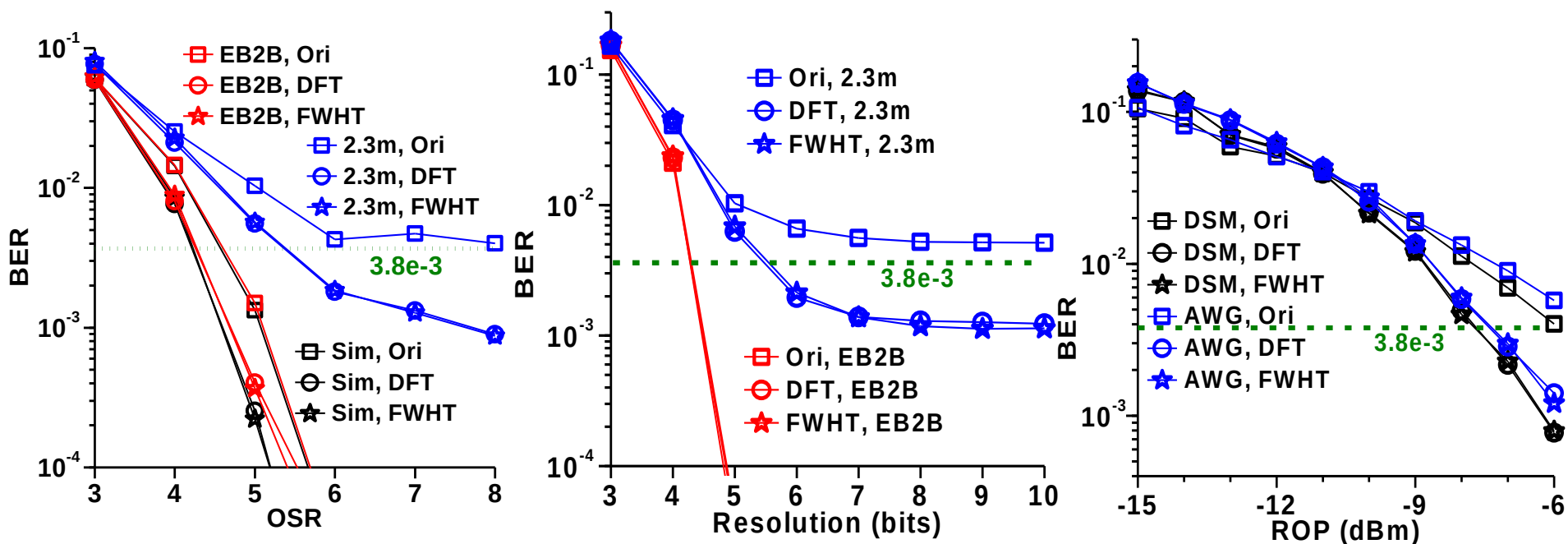
离线实验研究 – DAC-free FBMC-VLC 系统



离线实验研究 – DAC-free FBMC-VLC 系统



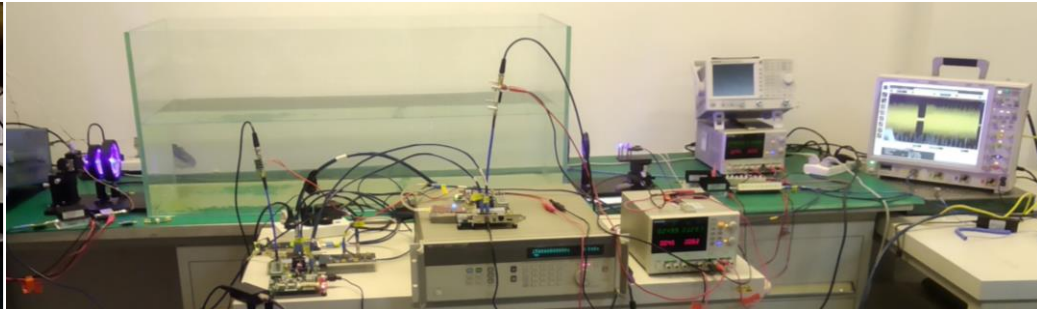
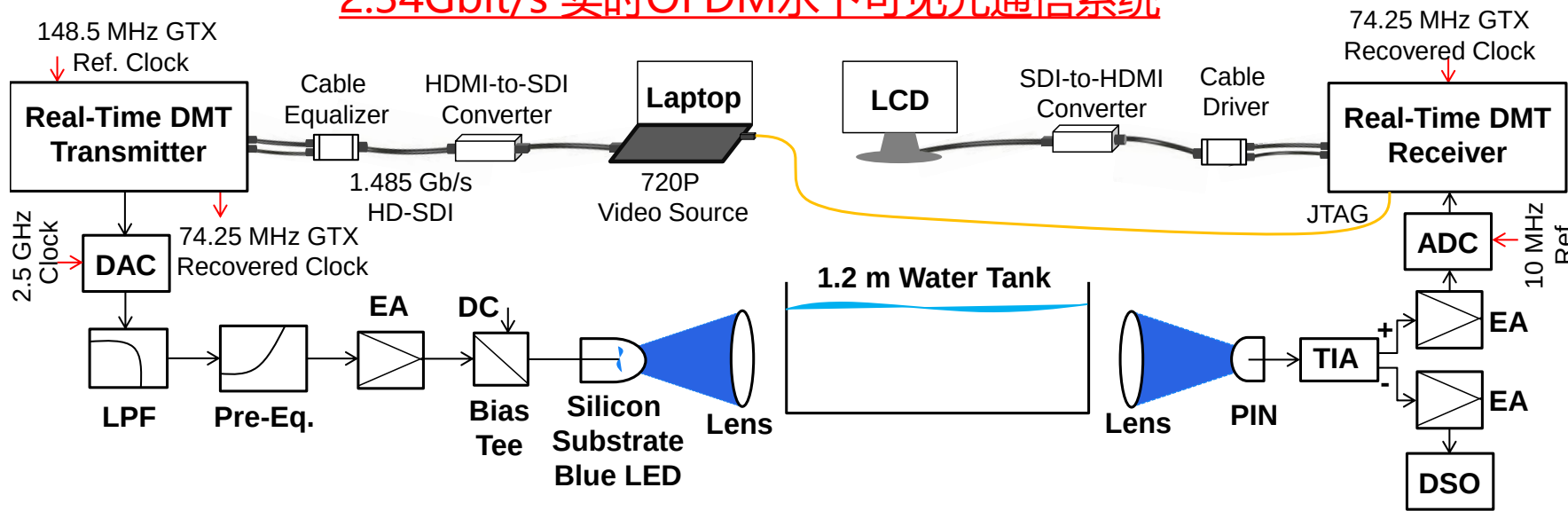
离线实验研究 – DAC-free FBMC-VLC 系统



DSM相比AWG信号产生方案可以获得类似甚至稍好的误码率性能，使用低复杂度FWHT预编码后可以显著改善接收机性能。

实时原型样机研制

2.34Gbit/s 实时OFDM水下可见光通信系统



M. Chen, P. Zou, L. Zhang and N. Chi, "Demonstration of a 2.34 Gbit/s Real-Time Single Silicon-Substrate Blue LED-Based Underwater VLC System." IEEE Photonics Journal 12(1): 7900211, 2020.

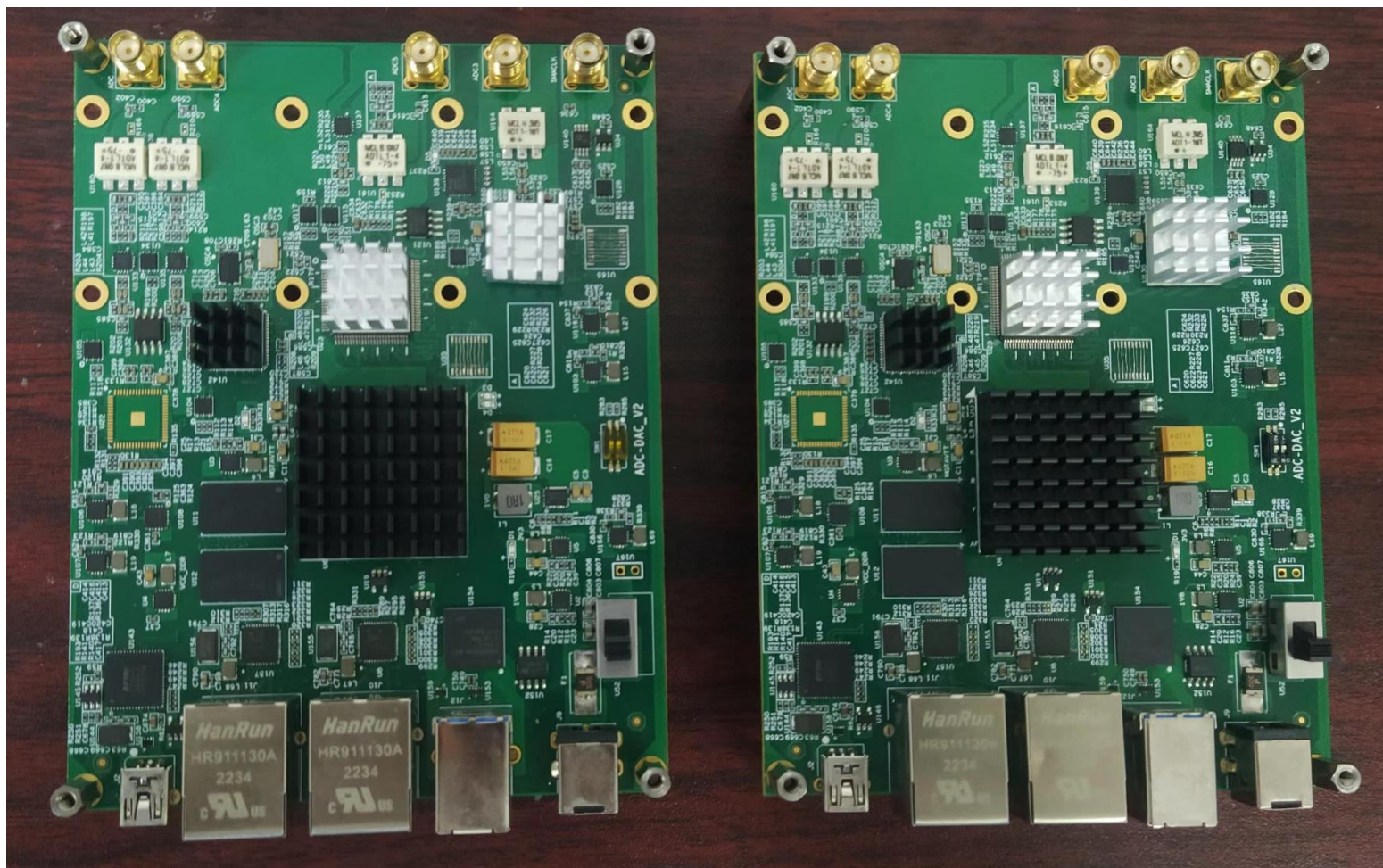
实时原型样机研制



M. Chen, P. Zou, L. Zhang and N. Chi, "Demonstration of a 2.34 Gbit/s Real-Time Single Silicon-Substrate Blue LED-Based Underwater VLC System." IEEE Photonics Journal 12(1): 7900211, 2020.

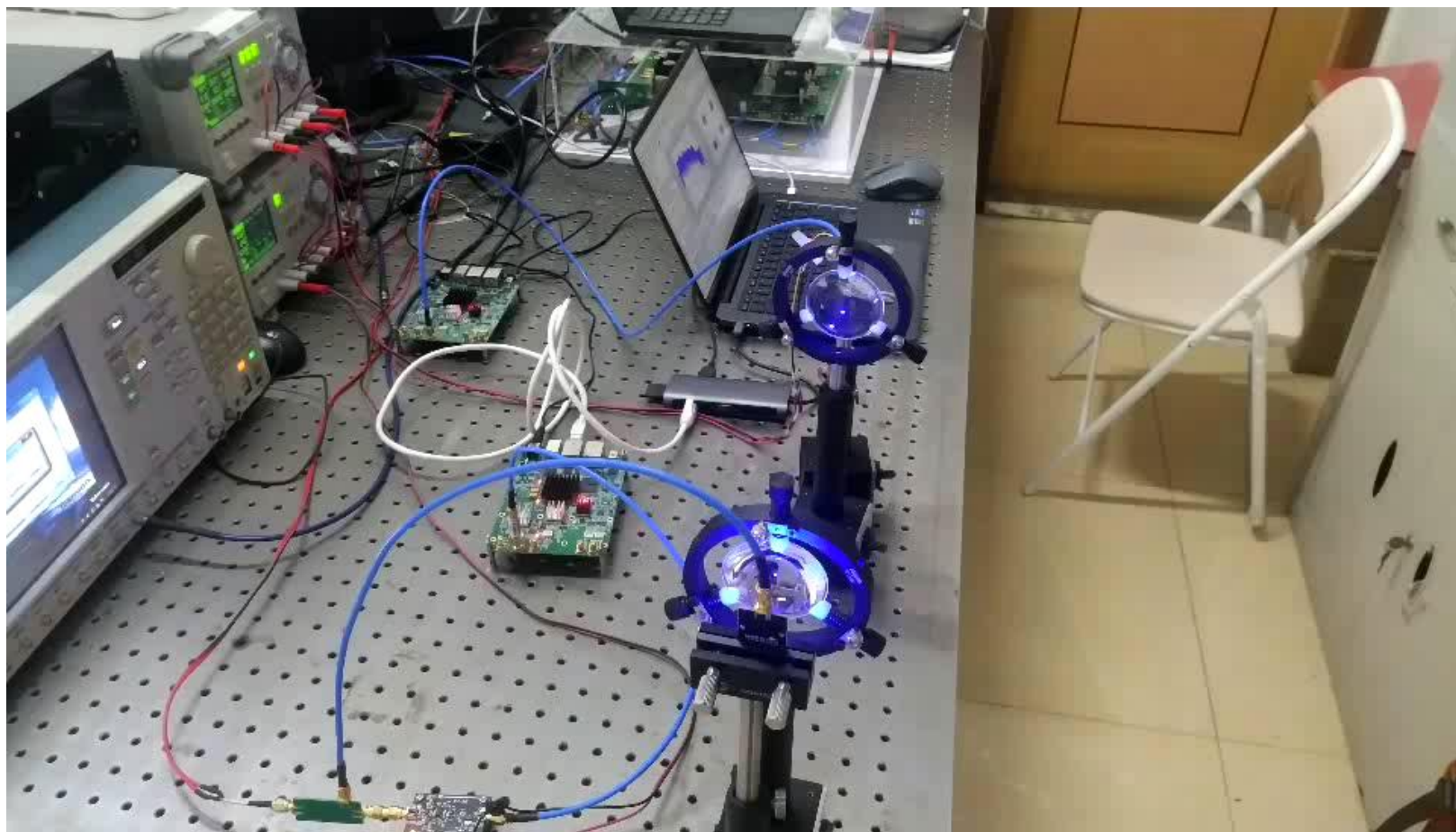
实时原型样机研制

实时OFDM可见光传输系统的基带收发样机



实时原型样机研制

实时OFDM可见光视频传输演示系统



小结

围绕多载波调制（OFDM/FBMC）光通信系统中关键DSP算法开展了一系列的离线与实时研究工作，具体包括：

- ✓ 面向硬件高效实时的低复杂度DSP算法
- ✓ 低成本的VLC硬件系统
- ✓ 原型VLC样机的研制

The End

Thanks for your attention!